

新規プロセスで作製されたシリコン微細 MOS トランジスタの EDMR 分光研究*

大崎純一(学籍番号 200721523)

研究指導教員：梅田享英

副研究指導教員：磯谷順一

1. はじめに

シリコン(Si)でできた MOS 構造トランジスタ(MOSFET)はあらゆる大規模集積回路(LSI)の基本素子となっている。この MOSFET の微細化と高性能化は、コンピュータの高速化や情報記憶媒体の大容量化をもたらし、情報通信技術の著しい発展に寄与してきた。しかし今後、さらに MOSFET の微細化や高性能化を実現するには、MOSFET の動作に悪影響を及ぼす「結晶欠陥」の問題を解決しなければならない。

私たちの研究室では、MOSFET 内に含まれる結晶欠陥を、電流検出型電子スピン共鳴分光(EDMR: Electrically Detected Magnetic Resonance)法を用いて評価を行っている[1]。EDMR 法とは、半導体デバイス中を流れる電流から電子スピン共鳴現象を検出する方法であり、そもそも、電子スピン共鳴分光法(EPR)とは、半導体などに含まれる結晶欠陥について、その種類や構造など原子レベルで解析できる強力な実験手法である。

本研究は、この EDMR 法を用いて、以下の 2 種類の新型 MOSFET 評価し、新規プロセスによって MOSFET 内部の結晶欠陥がどう変化するかを調査・考察した。評価試料はエルピーダメモリ(株)からご提供頂いたゲート長 0.08 ~ 0.1 μm の最先端 MOSFET 試料である。

2. フッ素注入を行った MOSFET の評価[2]

2.1 フッ素注入プロセスのねらい

MOSFET を使用した LSI 製品の代表に、ダイナミック RAM(DRAM)がある。DRAM は揮発性メモリで、記憶の維持には電力を必要とする。電力を必要とする訳は、MOSFET が OFF

状態(電流オフ)の時にも流れてしまう「リーク電流」と呼ばれる電流にある。フッ素注入プロセスを DRAM の MOSFET に施すと、このリーク電流を大幅に減らせることが報告されている[1]。その理由として、リーク電流の主因とされる VO 欠陥(Si 結晶中の Si 空孔-酸素複合欠陥[1])と呼ばれる結晶欠陥とフッ素が結びついて Si-F 結合を作り、VO 欠陥を無能化する効果があるのではないかと推測されている。

そこで、本研究の 1 つ目のテーマとして、フッ素注入によって MOSFET 内部の結晶欠陥がどのように変化するかの評価を行った。

2.2 フッ素注入プロセス MOSFET 評価結果

フッ素注入 MOSFET (フッ素濃度 $\leq 10^{18} / \text{cm}^3$) を EDMR 測定したところ、2 種類の信号を観測した。1 つ目は従来型 MOSFET(フッ素注入なし)でも観測されていた VO 欠陥の信号(図 1(a)(b))。2 つ目は従来型 MOSFET では見られない(図 1(c))、フッ素に関連した新しい結晶欠陥の信号である(図 1(d))。

この 2 種類の信号について考察すると、まず、リーク電流の測定で従来型と同様に VO 欠陥がそのまま見えることから、フッ素注入を行っても依然として無能化されていない VO 欠陥が存在していることが分かった。これは、フッ素が

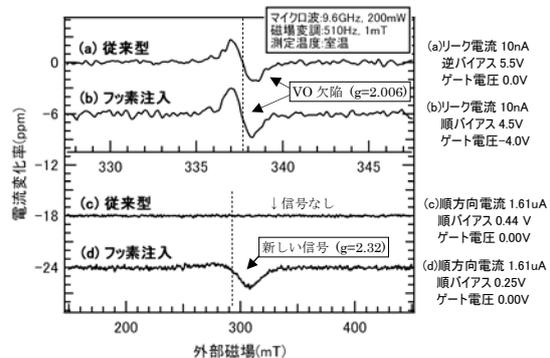


図1 従来型(リファレンス)MOSFETとフッ素注入プロセス MOSFET の EDMR スペクトルの比較。pn 接合リーク電流で EDMR 測定した(a),(b)では、どちらの試料でも VO 欠陥を観測。また、順方向電流で EDMR 測定した(c),(d)では、フッ素注入 MOSFET で新しい信号($g=2.32$)が観測された。この新しい信号はフッ素に関連する欠陥によるものと推察される。

* "Electrically detected magnetic resonance study of sub-micron silicon transistors with new fabrication processes." by Junichi OHSAKI

足りなかったのではなく、逆に、過剰なフッ素が凝集して新しい欠陥が作り出されたためだと考えられる。その新しい欠陥が、図 1(d)の pn 接合順バイアスで確認された新しい信号に対応する。この欠陥は F_nV_m 欠陥 (n 個の Si-F 結合が集まった欠陥) ではないかと推測される。Si 中のフッ素に関連する電子スピン共鳴信号を観測したのは本研究が初めてである。

以上の結果を総合すると、VO 欠陥の無能化のためには低濃度($10^{14} - 10^{16} / \text{cm}^3$)のフッ素注入プロセスが効果的なのではないかと思われる。

3. 溝ゲート構造 MOSFET の評価[3]

3.1 溝ゲート構造 MOSFET のねらい

MOSFET の微細化は LSI の著しい高速化や大容量化を可能にしてきた。しかし従来の 2 次元型 MOSFET では物理的限界によって微細化はもはや不可能に近づいている。そこで、Si 基板に溝を掘り、3 次元的にゲート構造を作り込むことによって更なる微細化を可能にする「溝ゲート構造 MOSFET」が考案された[4]。

本研究の 2 つ目のテーマとして、この溝ゲート構造 MOSFET にはどのような結晶欠陥が発生しているのかを評価した。

3.2 溝ゲート構造 MOSFET 評価結果

作製プロセスが異なる複数の溝ゲート構造 MOSFET のリーク電流を EDMR 測定したところ、3 種類の信号が観測された。1 つは従来の 2 次元型 MOSFET でも観測されていた VO 欠陥の信号(図 2(a)(b)(g))。2 つ目は溝ゲート構造 MOSFET にのみ共通して見られるブロードな信号(図 2(d)-(f))。3 つ目は作製プロセスによって発生したりしなかったりする超微細分裂信号である(図 2(b)(f))。

まず 2 つ目のブロードな信号は、詳しい解析の結果、Si 結晶に発生した転位欠陥(KC1 欠陥など)であることが分かった。この転位欠陥は溝ゲート構造 MOSFET 特有の「Si エピ層」に発生していることが電子顕微鏡観察とエピ層無し試料の EDMR 測定(図 2(g))で確認された。

また、3 つ目の超微細分裂信号は、その信号の特徴からフッ素または水素が関与していることが推測された。これらの元素は 3 次元構造

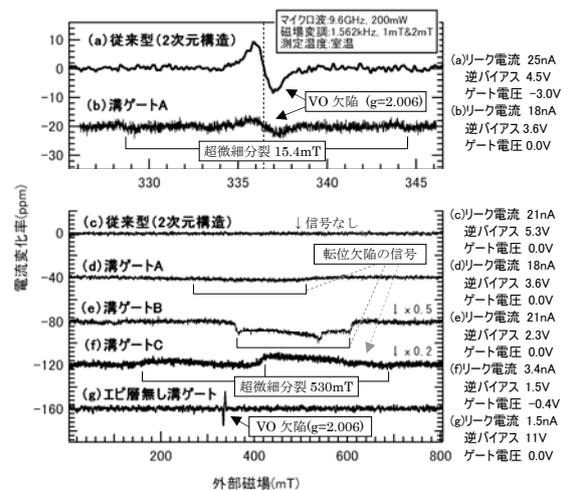


図2 溝ゲート構造 MOSFET を pn 接合リーク電流で EDMR 測定。(b): 溝ゲート構造試料でも VO 欠陥を観測。(d)-(f): 溝ゲート構造のブロードな信号(=転位欠陥)。(g)のエピ層除去溝ゲートでは転位欠陥の信号が確認されないことから、転位の発生源はエピ層にあると結論される。(b),(f): 溝ゲート A・C の超微細分裂信号。プロセスの違いによりスペクトルが異なる。それぞれ 2 本に分裂。水素、またはフッ素との関連性が考えられる。

を作製する際のプロセスで混入する可能性のある元素である。

これら 3 つの結晶欠陥は、いずれもリーク電流特性に多大な影響を及ぼしており、溝ゲート構造 MOSFET の開発を進めるにあたって注視していかなければならないだろう。

4. まとめ

本研究では新規プロセスで作製された 2 種類の新型 MOSFET の EDMR 評価を行った。その結果、新型 MOSFET には、それぞれ特有の結晶欠陥が発生していることが判明した。今後、これらの欠陥の発生を抑えたり、効率的に無能化するプロセスの開発が望まれる。

文献

- [1]梅田享英：先端 DRAM におけるデータ保持時間の変動現象のメカニズム．応用物理，Vol.76, No.9, p.1037-1040, 2007.
- [2]大崎純一ほか：フッ素注入による欠陥制御を行った DRAM セルの電子スピン共鳴分光評価．第 68 回応用物理学会，口頭発表(6a-ZE-1),2007.
- [3]大崎純一ほか：溝ゲート構造トランジスタの電流検出電子スピン共鳴分光評価．第 69 回応用物理学会，口頭発表(2a-G-9), 2008.
- [4]木村紳一郎ほか：ナノメートル世代のシリコン半導体デバイスの展望．日立評論，Vol. 84, No.7, p.459-464, 2004.